

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-186261

(43)公開日 平成11年(1999) 7月9日

(51)Int.Cl.<sup>6</sup>

H 0 1 L 21/3205

識別記号

F I

H 0 1 L 21/88

K

審査請求 未請求 請求項の数13 O L (全 17 頁)

(21)出願番号 特願平9-350393

(22)出願日 平成9年(1997)12月19日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 高木 英雄

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 宇治 重孝

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74)代理人 弁理士 柏谷 昭司 (外2名)

最終頁に続く

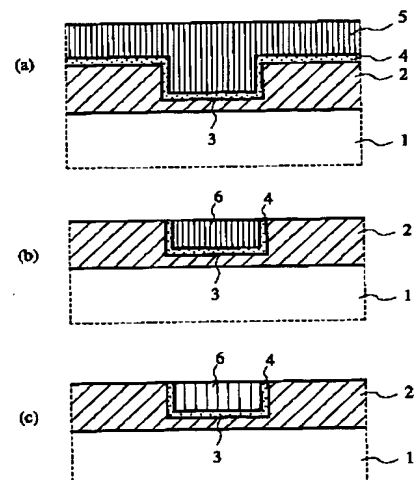
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 半導体装置の製造方法に関し、C u埋込配線層或いはC uプラグにおけるボイドの発生を防止するとともに、グレインサイズを大きくして、エレクトロマイグレーション耐性の高め、配線層構造の信頼性を高める。

【解決手段】 基板1上に形成された絶縁膜2に配線層或いはプラグを形成するための凹部3を設け、この凹部3に下地導電膜4を介してC u層5を充填し、化学機械研磨法によって不要なC u層5を除去することによりC u埋込層6を形成したのち、C u埋込層6中の不純物を脱離させるための熱処理を行う。

本発明の原理的構成の説明図



1:基板  
2:絶縁膜  
3:凹部  
4:下地導電膜  
5:C u層  
6:C u埋込層

## 【特許請求の範囲】

【請求項1】 基板上に形成された絶縁膜に配線層或いはプラグを形成するための凹部を設け、前記凹部に下地導電膜を介してCu層を充填し、化学機械研磨法によって不要なCu層を除去することによりCu埋込層を形成する半導体装置の製造方法において、前記不要なCu層を除去したのち前記Cu埋込層中の不純物を脱離させるための熱処理を行うことを特徴とする半導体装置の製造方法。

【請求項2】 上記不要なCu層を除去したのちCu埋込層中の不純物を脱離させるための熱処理を、前記Cu埋込層上に絶縁膜を形成する前に行うことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 上記Cu埋込層の幅或いは直径が、1.0μm以上であることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】 上記不要なCu層を除去したのちCu埋込層中の不純物を脱離させるための熱処理を、前記Cu埋込層上に絶縁膜を形成した後に行うことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 上記Cu埋込層の幅或いは直径が、1.0μm以下であることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】 上記Cu埋込層が、幅或いは直径が1.0μm以上のCu埋込層と、幅或いは直径が1.0μm以下のCu埋込層とを含み、前記幅或いは直径が1.0μm以上のCu埋込層における平均結晶粒径が前記幅或いは直径が1.0μm以下のCu埋込層における平均結晶粒径より大きいことを特徴とする請求項4記載の半導体装置の製造方法。

【請求項7】 上記Cu埋込層の上に第1の絶縁膜を設け、前記第1の絶縁膜に配線層或いはプラグを形成するための凹部を設け、前記凹部に下地導電膜を介してCu層を充填し、化学機械研磨法によって不要なCu層を除去することによりCu埋込層を形成し、第2の絶縁膜を堆積したのち、前記Cu埋込層中の不純物を脱離させるための熱処理を行なって、多層配線構造を形成することを特徴とする請求項1乃至6のいずれか1項に記載の半導体装置の製造方法。

【請求項8】 上記Cu層を、電解メッキ法によって堆積させることを特徴とする請求項1乃至7のいずれか1項に記載の半導体装置の製造方法。

【請求項9】 上記Cu埋込層中の不純物を脱離させるための熱処理工程において、上記基板を300℃以下の温度の熱処理室に導入したのち、20℃/分以下の昇温速度で前記基板を昇温することを特徴とする請求項8記載の半導体装置の製造方法。

【請求項10】 上記熱処理工程における熱処理温度を、それ以降の処理工程における温度以上で、且つ、300～500℃とすることを特徴とする請求項9記載の

半導体装置の製造方法。

【請求項11】 上記熱処理工程において、最高温度に達している時間を、5～2000秒とすることを特徴とする請求項10記載の半導体装置の製造方法。

【請求項12】 上記熱処理工程における雰囲気を、水素雰囲気としたことを特徴とする請求項9乃至11のいずれか1項に記載の半導体装置の製造方法。

【請求項13】 上記熱処理工程における雰囲気の酸素濃度を、100ppm以下にしたことを特徴とする請求項9乃至11のいずれか1項に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法に関するものであり、特に、Cuメッキ層をCMP (Chemical Mechanical Polishing) 法によって凹部内に埋め込んだ埋込配線層のエレクトロマイグレーション耐性を向上させる熱処理工程に特徴のある半導体装置の製造方法に関するものである。

## 【0002】

【従来の技術】 従来、半導体装置の配線層としては、主にAl合金による配線層が用いられているが、配線層の微細化に伴う抵抗の増加、及び、配線層の寿命の問題を解決するために、Alより低抵抗で且つエレクトロマイグレーション耐性に優れたCuの使用が検討されている。

【0003】 この様なCuを用いた微細な配線層を形成する場合、微細加工に必要なドライエッチング方法において、Cuを下地となる絶縁膜に対して高い選択比でエッチングする適当なガスが存在しないため、ダマシン (Damascene) 法によって埋込配線層構造を形成することが主流になっている。

【0004】 このダマシン法とは、絶縁膜に配線層用溝或いはビアホール等の凹部を設け、全面に、電界メッキ法、或いは、Cu(hfac)TMVS等を用いたCV D法によって厚いCu層を堆積させたのち、CMP法を用いて凹部以外の領域に堆積したCu層を除去して、凹部に埋め込まれたCu埋込配線層を形成するものである。なお、厚いCu層を形成する方法としては、スパッタリング法によってCu層を堆積させたのち、リフローする方法も提案されている。

【0005】 この様なCu埋込配線層の歴史は浅く、未だ顕在化していない問題が多くあり、例えば、成膜したCu層の中に製法に起因する不純物が含まれ、グレイン (結晶粒) の成長が不十分であるためグレインが小さく、且つ、三重点が多く存在し、そのためにエレクトロマイグレーションに起因してCu埋込配線層の寿命が短くなるという問題がある。

【0006】 例えば、電界メッキ法によってCu層を堆

## 3

積させた場合、Cu層の中には水分やメッキ浴の成分が混入し、また、CVD法でCu層を堆積させた場合にはCu(hfac)TMVS等に起因する有機物等が混入し、或いは、スパッタリング法で堆積させた場合にはAr等の雰囲気成分が混入することになる。

【0007】このため、Cu埋込配線層のエレクトロマイグレーション耐性を向上するために、Cu層の堆積後にアニール処理を施すことによってグレインサイズを大きくすることを試みたので、図12を参照して説明する。なお、図12は、配線層の延長方向に垂直な面で切った概略的断面図である。

【0008】図12(a)参照

まず、シリコン基板71上に、PCVD法(プラズマ化学気相成長法)によって下地酸化膜72となるLTO(低温成長SiO<sub>2</sub>膜)を堆積したのち、同じく、PCVD法を用いてエッチングストッパー層となるSiN膜73及び配線層分離酸化膜となるSiO<sub>2</sub>膜74を堆積し、次いで、レジストパターン(図示せず)をマスクとしてRIE(反応性イオンエッチング)によってSiN膜73に達する凹部を形成したのち、レジストパターン及び露出したSiN膜73を除去することによって配線層用溝75を形成する。

【0009】次いで、スパッタリング法によってバリアメタルとなるTa<sub>2</sub>N膜76を堆積させたのち、電界メッキ工程におけるシードとなるCuシード膜77を同じくスパッタリング法によって堆積させ、次いで、電解メッキ法を用いて厚いCuメッキ層78を堆積させる。

【0010】図12(b)参照

次いで、H<sub>2</sub>雰囲気中で、即ち、還元性雰囲気中で熱処理を行ってCuメッキ層78のグレインサイズを大きくする。

【0011】図12(c)参照

次いで、CMP法によって、SiO<sub>2</sub>膜74の表面が露出するまで研磨を行い、配線層用溝75以外の領域に堆積したCuメッキ層78、Cuシード膜77、及び、Ta<sub>2</sub>N膜76を除去して、Cu埋込配線層79を形成する。

【0012】この様な工程を上層配線層、及び、上層配線層との接続を取るためのCuプラグに対しても行うことによって、Cu埋込配線層による多層配線構造を形成することができる。

【0013】

【発明が解決しようとする課題】しかし、従来のCMP法においては、熱処理によりボイドが発生したり、或いは、グレインの成長が充分ではなく、依然としてグレインサイズが小さいためエレクトロマイグレーション耐性が低いという問題があり、Cu埋込配線層の信頼性が低いという問題がある。

【0014】検討の結果、この様なボイドの発生は、大容量のCuメッキ層78が存在するCMP工程の前に熱

## 4

処理を行っているのが原因の一つであるとの結論に至ったので、図13及び図14を参照してこの事情を説明する。

【0015】図13(a)及び(b)参照

図13(a)は、電解メッキ法によって堆積させたCuメッキ層78からの各脱ガス成分の放出量をTDS(Thermal Desorption Spectroscopy)分析法によって信号強度として測定したものであり、図13(b)は比較のためにスパッタリング法によって堆積させたCu層からの各脱ガス成分の放出量を示したものであり、上記の図12(b)の熱処理工程を300℃以上で行うことによって、水分(H<sub>2</sub>O)及び水素(H<sub>2</sub>)の放出量が再び増加しており、Cuメッキ層78におけるグレインの成長とともに、内部に含まれていた水分及び水素等が放出されたものと考えられる。なお、二酸化炭素(CO<sub>2</sub>)は、メッキ浴に含まれる有機成分に由来し、水素は強度曲線の相似性からみて、水分に起因するものと考えられる。

【0016】一方、物理的堆積法であるスパッタリング法の場合にも堆積条件に起因する不純物は脱離するものの、放出量は少なく、且つ、温度が上昇しても放出量は殆ど増加しない。なお、各脱ガス成分の放出量は、測定装置の感度が各ガス成分によって異なるので、図における相対的な比較はあまり意味を成さず、且つ、各ガス成分の総量を表すことになる真空度も、各ガス成分の図に示した放出量の総計を意味するものではない。

【0017】図14(a)及び(b)参照

図14(a)は、図12に示した様に熱処理を施した後に、CMP法により研磨した場合の配線層の延長方向に垂直な面で切った概略的断面図であり、また、図14

(b)は配線層の延長方向に沿った概略的断面図である。大容量のCuメッキ層が存在するCMP工程の前に熱処理を行った場合、グレイン82の成長は、Cuメッキ層の表面とTa<sub>2</sub>N膜76に接する底部との両方から進行するためグレイン82の成長が不十分で、且つ、その接触点である粒界81の一部において三つのグレイン82が重なる三重点83が発生することになる。

【0018】そして、この様なCuメッキ層中には図13(a)に示すようにメッキ浴の成分に由来する水(H<sub>2</sub>O)、二酸化炭素(CO<sub>2</sub>)、或いは、その他の不純物が含有されており、これらの不純物による非常に微細なボイドが粒界81を経由し、集中することによって14(a)に示す箇所にボイド80が発生するものと考えられる。また、Cuメッキ層の表面から底部までグレイン成長が進行した場合には、底部の側にボイド80が発生するのが見られる。

【0019】また、各種の実験の結果、このボイド80の発生には、熱処理条件も関与していることが明らかになり、300℃以上の熱処理において発生することが多く、特に、昇温速度が速い程発生頻度が高いことが明ら

かになった。

【0020】また、他の条件としては、バリアメタルとシード膜との密着性が高いほどボイド80が発生しにくいこと、及び、シード膜の被覆率が高いほどボイド80が発生しにくいことが明らかになり、さらに、配線層用溝或いはビアホール以外の領域に堆積した大容量のCuメッキ層の応力もボイド80の成長促進に影響を与えているものと考えられる。

【0021】さらに、ボイド80の発生は、配線層の幅、或いは、ビアホールの径にも依存することが明らかになり、例えば、幅或いは径が $1.0\mu\text{m}$ 以下のCu埋込配線層或いはCuプラグにおいて、ボイド80の発生が見られた。

【0022】したがって、本発明は、Cu埋込配線層或いはCuプラグにおけるボイドの発生を防止するとともに、グレインサイズを大きくして、エレクトロマイグレーション耐性の高め、配線層構造の信頼性を高めることを目的とする。

【0023】

【課題を解決するための手段】図1は本発明の原理的構成の説明図であり、この図1を参照して本発明における課題を解決するための手段を説明する。なお、図は、配線層の延長方向に垂直な面で切った概略的断面図である。

図1(a)乃至(c)参照

(1)本発明は、基板1上に形成された絶縁膜2に配線層或いはプラグを形成するための凹部3を設け、この凹部3に下地導電膜4を介してCu層5を充填し、化学機械研磨法によって不要なCu層5を除去することによりCu埋込層6を形成する半導体装置の製造方法において、不要なCu層5を除去したのちCu埋込層6中の不純物を脱離させるための熱処理を行うことを特徴とする。

【0024】この様に、不要なCu層5を除去したのち、即ち、CMP工程の後に熱処理を行うことによって、熱処理工程において、凹部3以外に堆積した大容量のCu層5による応力の影響を受けないので、下地導電膜4との密着性が良好になりボイドの発生が抑制され、エレクトロマイグレーション耐性が向上する。なお、下地導電膜4とは、バリアメタル、或いは、バリアメタル/シード膜を意味する。

【0025】また、グレインの成長がCu埋込層6、例えば、Cu埋込配線層或いはCuプラグという比較的狭い領域で行われるため、大きなサイズのグレインに成りやすく、且つ、三重点の発生もほとんど無くなるので、エレクトロマイグレーション耐性が向上する。

【0026】(2)また、本発明は、上記(1)において、不要なCu層5を除去したのちCu埋込層6中の不純物を脱離させるための熱処理を、Cu埋込層6上に絶縁膜を形成する前に行うことを特徴とする。

【0027】この様な熱処理は、Cu埋込層6の幅或いは直径が大きい場合には、Cu埋込層6上に絶縁膜、例えば、層間絶縁膜を形成する前に行うことが望ましく、絶縁膜の形成前に熱処理を行うことによって、グレインサイズ(平均結晶粒径)をより大きくすることができる。

【0028】(3)また、本発明は、上記(2)において、Cu埋込層6の幅或いは直径が、 $1.0\mu\text{m}$ 以上であることを特徴とする。

【0029】この様な、絶縁膜の形成前の熱処理は、Cu埋込層6の幅或いは直径が、 $1.0\mu\text{m}$ 以上の場合に特に有効であり、例えば、 $2.0\mu\text{m}$ 程度のグレインサイズにすることができる。

【0030】(4)また、本発明は、上記(1)において、不要なCu層5を除去したのちCu埋込層6中の不純物を脱離させるための熱処理を、Cu埋込層6上に絶縁膜を形成した後に行うことを特徴とする。

【0031】この様に、Cu埋込層6の幅或いは直径が小さい場合には、熱処理をCu埋込層6上に絶縁膜を形成した後に行うことが望ましく、絶縁膜の形成後に熱処理を行うことによって、ボイドの発生を抑制することができる。

【0032】(5)また、本発明は、上記(4)において、Cu埋込層6の幅或いは直径が、 $1.0\mu\text{m}$ 以下であることを特徴とする。

【0033】この様な、絶縁膜の形成後の熱処理は、Cu埋込層6の幅或いは直径が、 $1.0\mu\text{m}$ 以下の場合に特に有効であり、グレインサイズはCu埋込層6の幅或いは直径に規制されてそれ程大きくならないものの、ボイドが発生しなくなり、Cu埋込層6の寿命が向上する。

【0034】(6)また、本発明は、上記(4)において、Cu埋込層6が、幅或いは直径が $1.0\mu\text{m}$ 以上のCu埋込層6と、幅或いは直径が $1.0\mu\text{m}$ 以下のCu埋込層6とを含み、幅或いは直径が $1.0\mu\text{m}$ 以上のCu埋込層6における平均結晶粒径が幅或いは直径が $1.0\mu\text{m}$ 以下のCu埋込層6における平均結晶粒径より大きいことを特徴とする。

【0035】この様に、幅或いは直径が $1.0\mu\text{m}$ 以上のCu埋込層6と、幅が $1.0\mu\text{m}$ 以下のCu埋込層6とが混在する場合には、ボイドの発生の抑制を優先して、絶縁膜の形成後に熱処理を行うことも有効であり、その場合には、幅或いは直径が $1.0\mu\text{m}$ 以上のCu埋込層6における平均結晶粒径(グレインサイズ)を、幅或いは直径が $1.0\mu\text{m}$ 以下のCu埋込層6における平均結晶粒径より大きくすることができる。

【0036】(7)また、本発明は、上記(1)乃至(6)のいずれかにおいて、Cu埋込層6の上に第1の絶縁膜を設け、この第1の絶縁膜に配線層或いはプラグを形成するための凹部を設け、この凹部に下地導電膜を

介してCu層を充填し、化学機械研磨法によって不要なCu層を除去することによりCu埋込層を形成し、第2の絶縁膜を堆積したのち、Cu埋込層中の不純物を脱離させるための熱処理を行なって、多層配線構造を形成することを特徴とする。

【0037】この様に、上記の(1)乃至(6)のいずれかの工程を繰り返すことによって、信頼性の高い多層配線構造を形成することができる。

【0038】(8)また、本発明は、上記(1)乃至(7)のいずれかにおいて、Cu層5を、電界メッキ法 10 によって堆積させることを特徴とする。

【0039】この様な熱処理工程は、Cu層5を、スパッタリング法等のPVD(物理気相成長)法、CVD法、無電界メッキ法、或いは、電界メッキ法等のいずれの方法で堆積した場合にも有効であるが、Cu層5に混入する不純物の量が多い電界メッキ法の場合に特に有効である。

【0040】(9)また、本発明は、上記(8)において、Cu埋込層6中の不純物を脱離させるための熱処理工程において、基板1を300℃以下の温度の熱処理室 20 に導入した後、20℃/分以下の昇温速度で基板1を昇温することを特徴とする。

【0041】この様な熱処理は、急激に行うとボイドが発生するので、300℃以下の低温の熱処理室に導入したのち、20℃/分以下の遅い昇温速度で基板1を昇温することが望ましい。

【0042】(10)また、本発明は、上記(9)において、熱処理工程における熱処理温度を、Cu埋込層6形成後の処理工程における温度以上で、且つ、300～500℃とすることを特徴とする。

【0043】この様な熱処理工程における熱処理温度は、Cu埋込層6形成後の処理工程の温度以下である場合には、Cu埋込層6形成後の処理工程、例えば、絶縁膜の成膜工程においてグレインが再成長するとともに、ボイドが発生する可能性があるため、それ以上の温度にする必要があり、且つ、Cu層5からの不純物、例えば、水分、水素、或いは、二酸化炭素の脱離状況、即ち、脱ガスの温度特性からは、300～500℃とすることが望ましく、500℃を越えるとCuの拡散が問題となる。但し、絶縁膜2として、FSG(フッ素含有SiO<sub>2</sub>膜)、無機系SOG(スピノンガラス)であるHSQ、或いは、有機系絶縁膜等の低誘電率膜を用いた場合には、耐熱性の観点から450℃以下が望ましい。

【0044】(11)また、本発明は、上記(10)において、熱処理工程において、最高温度に達している時間を、5～2000秒とすることを特徴とする。

【0045】この様に、最高温度に達している時間は、5～2000秒の範囲が望ましく、5秒以上行わないとグレインの成長が不十分であり、一方、2000秒以上の場合には、Cu埋込層6における突起の発生や、Cu 50

の拡散が問題となる。

【0046】(12)また、本発明は、上記(9)乃至(11)のいずれかにおいて、熱処理工程における雰囲気、水素雰囲気としたことを特徴とする。

【0047】この様に、熱処理工程における雰囲気は、CMP工程におけるダメージ層の回復と、Cu埋込層6の表面の酸化を防止するために、水素雰囲気、即ち、還元性の雰囲気で行うことが望ましい。

【0048】(13)また、本発明は、上記(9)乃至(11)のいずれかにおいて、熱処理工程における雰囲気 10 の酸素濃度を、100ppm以下にしたことを特徴とする。

【0049】この様に、熱処理工程における雰囲気、例えば、水素雰囲気、窒素雰囲気、或いは、アルゴン雰囲気 10 の酸素濃度は、Cu埋込層6の表面の酸化を防止するために、100ppm以下であることが望ましく、特に、水素雰囲気であることが望ましい。

【0050】

【発明の実施の形態】ここで、図2及び図3を参照して、本発明の第1の実施の形態であるCu埋込配線層の形成工程を説明するが、説明を簡単にするためにシリコン基板に形成する素子領域や素子分離領域等の構成は図示を省略する。なお、各図は、配線層の延長方向に垂直な面で切った概略的断面図である。

【0051】図2(a)参照

まず、所定の素子等を形成したシリコン基板11に、PCVD法を用いて、例えば、厚さ700nmのLTO(低温成長SiO<sub>2</sub>膜)を成長させて下地酸化膜12とし、次いで、同じく、PCVD法を用いてエッチングストッパー層となる厚さが、例えば、50nmのSiN膜 13及び配線層分離酸化膜となるLTOからなる厚さが、例えば、700nmのSiO<sub>2</sub>膜14を堆積する。

【0052】次いで、レジストパターン(図示せず)をマスクとして、C<sub>4</sub>F<sub>8</sub>+CO+Arからなる混合ガスを用いたRIEによってSiN膜13に達する凹部を形成したのち、レジストパターン及び露出したSiN膜13を除去することによって、幅が1.0μm以上、例えば、10.0μmの配線層用溝15を形成する。

【0053】図2(b)参照

次いで、スパッタリング法によってバリアメタルとなるTa<sub>2</sub>N膜16を、例えば、20nm堆積させたのち、真空を破らず引き続いて、スパッタリング法によって、電界メッキ工程におけるシードとなるCuシード膜17を、例えば、100nm堆積させて下地導電膜を形成する。なお、この場合のスパッタリング条件は、2×10<sup>-3</sup>TorrのArガス雰囲気において、直径290mmの平行平板電極に、12kWの直流電力を印加して行った。

【0054】この場合、Ta<sub>2</sub>N膜16を堆積させたのち、一度大気中に暴露してしまうと、Ta<sub>2</sub>N膜16と次

に堆積させるCuシード膜17との間に自然酸化膜が成長し、界面の密着性が低下するので、Ta<sub>2</sub>N膜16とCuシード膜17とを連続して成膜することが望ましい。

【0055】図2(c)参照

次いで、電解メッキ法を用いて、SiO<sub>2</sub>膜14上の厚さが、例えば、1000nm(1μm)となる厚いCuメッキ層18を堆積させる。なお、この場合の電界メッキ条件は、硫酸浴を用い、2.5A/(10cm)<sup>2</sup>の電流密度で100msサイクルのパルス電流を用いて行い、成長速度は400nm/分であった。

【0056】図3(d)参照

次いで、CMP法によって、SiO<sub>2</sub>膜14の表面が露出するまで研磨を行い、配線層用溝15以外の領域に堆積したCuメッキ層18、Cuシード膜17、及び、Ta<sub>2</sub>N膜16を除去して、Cu埋込配線層19を形成する。

【0057】図3(e)参照

次いで、温度が、300℃以下、例えば、150℃で100Torrの100%のH<sub>2</sub>ガスで満たされた熱処理室にシリコン基板11を導入し、昇温速度を20℃/分以下、例えば、6℃/分として、300~500℃、例えば、390℃まで昇温し、5~2000秒、例えば、120秒間(2分間)保持することによって熱処理を行い、Cu埋込配線層19に含まれている水分、水素、二酸化炭素等を除去すると共に、Cu埋込配線層19のグレインサイズを大きくする。

【0058】この様に、本発明の第1の実施の形態においては、CMP工程の後で、且つ、上層の層間絶縁膜等を形成する前に熱処理を行っているので、Cu埋込配線層19のグレインサイズを大きくすることができ、それによって3重点の発生を抑制することができ、また、熱処理条件を上記の適正な範囲に設定しているため、ボイドの発生を抑制することができ、エレクトロマイグレーション耐性を向上することができる。

【0059】なお、バリアメタルとしてのTa<sub>2</sub>N膜はTiN膜に置き換えても良いものであり、本発明の第1の実施の形態の効果を確認するために、バリアメタルとしてTiN膜を用い、10μmの幅の配線層を形成し、各種の熱処理条件を用いて実験を行った。

【0060】この実験の結果、全く熱処理を行わない場合のCu埋込配線層における平均結晶粒径(グレインサイズ)が0.9μmであったのに対して、第1の実施の形態の様に、絶縁膜を堆積する前に熱処理を行った場合には、グレインサイズは2.0μmと2倍程度になっていた。なお、熱処理は、350℃において2分間行った。

【0061】また、比較のために、絶縁膜の堆積後に、400℃において30分間の熱処理を行った場合には、グレインサイズは1.1μm程度にしか増加せず、本発明の効果は明らかである。

【0062】さらに、絶縁膜を堆積する前に、350℃において2分間の熱処理を行ったのち、さらに、絶縁膜の堆積後に、400℃において30分間の熱処理を行った場合には、グレインが再生成長し、グレインサイズは2.2μmになっているのが確認され、少なくとも絶縁膜を堆積する前に熱処理を行うことが有効であることが確認された。

【0063】次に、図4を参照して、本発明の第1の実施の形態の変形例を説明する。図4(a)参照上記の第1の実施の形態で説明したように、Cuシード膜17をスパッタリング法によって成膜した場合には、図に示すように底部20やエッジ状凹部21が形成されやすく、この様な底部20やエッジ状凹部21が過度に生じた場合には、電解メッキ法によってCuメッキ層18を堆積させる場合、Cuメッキ層18を配線層用溝15内に十分充填することができず、ボイドの発生を助長することになる。

【0064】図4(b)参照

したがって、Cuシード膜17を成膜したのち、Ar等の不活性ガス中で逆スパッタ、即ち、スパッタエッチングを行うことによって、底部20やエッジ状凹部21をなくし、図4(b)に示すような形状にすることが望ましい。

【0065】次に、図5及び図6を参照して、本発明の第2の実施の形態であるCuプラグの形成工程を説明するが、説明を簡単にするためにシリコン基板に形成する素子領域や素子分離領域、或いは、Cuプラグに接続する下層配線層等は図示を省略する。

図5(a)参照

まず、上記の第1の実施の形態と同様に、所定の素子等を形成したシリコン基板11に、PCVD法を用いて、例えば、厚さ700nmのLTO膜を成長させて下地酸化膜12とし、次いで、同じく、PCVD法を用いてエッチングストッパー層となる厚さが、例えば、50nmのSiN膜13及び層間絶縁膜となるLTO膜からなる厚さが、例えば、700nmのSiO<sub>2</sub>膜14を堆積する。

【0066】次いで、レジストパターン(図示せず)をマスクとして、C<sub>4</sub>F<sub>8</sub>+CO+Arからなる混合ガスを用いたRIEによってSiN膜13に達する凹部を形成したのち、レジストパターン及び露出したSiN膜13を除去することによって、直径が1.0μm以下、例えば、0.6μmのビアホール22を形成する。

【0067】図5(b)参照

次いで、スパッタリング法によってバリアメタルとなるTiN膜23を、例えば、50nm堆積させたのち、真空を破らず引き続いてスパッタリング法によって、電界メッキ工程におけるシードとなるCuシード膜17を、例えば、200nm堆積させて下地導電膜を形成する。

なお、この場合のスパッタリング条件も、2×10<sup>-3</sup>T

orrのArガス雰囲気において、直径290mmの平行平板電極に、12kWの直流電力を印加して行った。

【0068】図5(c)参照

次いで、電解メッキ法を用いて、SiO<sub>2</sub>膜14上の厚さが、例えば、1000nm(1μm)となる厚いCuメッキ層18を堆積させる。なお、この場合の電界メッキ条件も、硫酸浴を用い、2.5A/(10cm)<sup>2</sup>の電流密度で100msサイクルのパルス電流を用いて行い、成長速度は400nm/分であった。

【0069】図6(d)参照

次いで、CMP法によって、SiO<sub>2</sub>膜14の表面が露出するまで研磨を行い、配線層用溝15以外の領域に堆積したCuメッキ層18、Cuシード膜17、及び、TiN膜23を除去して、Cuプラグ24を形成する。

【0070】図6(e)参照

次いで、再び、PCVD法を用いてエッチングストッパー層となる厚さが、例えば、50nmのSiN膜25及び配線層分離酸化膜等となるLTO膜からなる厚さが、例えば、700nmのSiO<sub>2</sub>膜26を堆積する。

【0071】図6(f)参照

次いで、温度が、300℃以下、例えば、150℃で100Torrの100%のH<sub>2</sub>ガスで満たされた熱処理室にシリコン基板11を導入し、昇温速度を20℃/分以下、例えば、6℃/分として、300~500℃、例えば、390℃まで昇温し、30~2000秒、例えば、120秒間(2分間)保持することによって熱処理を行い、Cuプラグ24に含まれている水分、水素、二酸化炭素等を除去すると共に、グレインサイズを大きくする。

【0072】この様に、本発明の第2の実施の形態においては、CMP工程の後で、且つ、上層の層間絶縁膜等を形成した後に熱処理を行っているので、直径が1.0μm以下のCuプラグ24の熱処理に際してボイドが発生することがない。

【0073】なお、このような層間絶縁膜等の形成後の熱処理は、幅が1.0μm以下の微細なCu埋込配線層に対しても有効であり、この場合のグレインサイズはCu埋込配線層の幅に規制され、幅程度の粒径以上にはなりにくいものの、ボイドが発生することがなく、エレクトロマイグレーション耐性が向上する。

【0074】例えば、本発明の第2の実施の形態の効果を確認するために、0.35μmの幅の配線層を形成し、各種の熱処理条件を用いて実験を行った結果、このような微細な配線層においては、グレインサイズは配線幅に規制されるため、グレインサイズはどれもほとんど同じであったが、ボイドの発生状況が全く異なり、したがって、250℃における6MA/cm<sup>2</sup>の通電試験によるエレクトロマイグレーション寿命に大きな差が生じた。

【0075】この実験の結果、全く熱処理を行わない場

合のCu埋込配線層においては、当然ボイドが発生しておらず、50%不良に到る時間は1180時間であったのに対して、第2の実施の形態の様に、絶縁膜の堆積後に熱処理を行った場合には、ボイドは発生せず、且つ、50%不良に到る時間は1550時間であり、30%以上の改善が得られた。なお、熱処理は、昇温速度を20℃/分とし、400℃において30分間行った。

【0076】また、比較のために、絶縁膜の堆積前に、昇温速度を60℃/分とし、350℃において2分間の熱処理を行った場合には、ボイドの発生が見られ、50%不良に到る時間は103時間であり、熱処理を全く行わない場合の1/10以下に低下した。

【0077】さらに、絶縁膜を堆積する前に、昇温速度を60℃/分とし、350℃において2分間の熱処理を行ったのち、さらに、絶縁膜の堆積後に、昇温速度を20℃/分とし、400℃において30分間の熱処理を行った場合にも、ボイドの発生が見られ、50%不良に到る時間は147時間であり、熱処理を全く行わない場合の1/8以下に低下するのが確認され、配線層の幅、或いは、プラグの直径が1.0μm以下の場合には、少なくとも絶縁膜を堆積させた後に熱処理を行うことが有効であることが確認された。

【0078】次に、図7乃至図11を参照して、本発明の第3の実施の形態であるCu埋込配線層及びCuプラグを利用した多層配線層構造の製造工程を説明するが、基本的には、上記の第1の実施の形態と第2の実施の形態の繰り返しであり、説明を簡単にするために2層配線層構造で説明する。

図7(a)参照

まず、所定の素子等を形成したシリコン基板31に、PCVD法を用いて、例えば、厚さ700nmのLTO膜を成長させて下地酸化膜32とし、次いで、同じく、PCVD法を用いてエッチングストッパー層となる厚さが、例えば、50nmのSiN膜33及び配線層分離酸化膜となりLTO膜からなる厚さが、例えば、700nmのSiO<sub>2</sub>膜34を堆積する。

【0079】次いで、レジストパターン(図示せず)をマスクとして、C<sub>4</sub>F<sub>8</sub>+CO+Arからなる混合ガスを用いたRIEによってSiN膜33に達する凹部を形成したのち、レジストパターン及び露出したSiN膜33を除去することによって、幅が1.0μm以上、例えば、1.2μmの配線層用溝35を形成する。

【0080】図7(b)参照

次いで、スパッタリング法によってバリアメタルとなるTiN膜36を、例えば、50nm堆積させたのち、真空を破らず引き続いてスパッタリング法によって、電界メッキ工程におけるシードとなるCuシード膜37を、例えば、200nm堆積させて下地導電膜を形成する。

【0081】図7(c)参照

次いで、電解メッキ法を用いて、SiO<sub>2</sub>膜34上の厚

10

20

30

40

50

さが、例えば、1000nm (1 $\mu$ m) となる厚いCuメッキ層38を堆積させる。

【0082】図8(d)参照

次いで、CMP法によって、SiO<sub>2</sub>膜34の表面が露出するまで研磨を行い、配線層用溝35以外の領域に堆積したCuメッキ層38、Cuシード膜37、及び、TiN膜36を除去して、Cu埋込配線層39を形成する。

【0083】図8(e)参照

次いで、温度が、300℃以下、例えば、150℃で100Torrの100%のH<sub>2</sub>ガスで満たされた熱処理室にシリコン基板31を導入し、昇温速度を20℃/分以下、例えば、6℃/分として、300~500℃、例えば、390℃まで昇温し、30~2000秒、例えば、120秒間(2分間)保持することによって熱処理を行い、Cu埋込配線層39に含まれている水分、水素、二酸化炭素等を除去すると共に、Cu埋込配線層39のグレインサイズを大きくする。

【0084】図8(f)参照

次いで、同じく、PCVD法を用いてエッチングストッパー層となる厚さが、例えば、50nmのSiN膜40及び層間絶縁膜となるLTO膜からなる厚さが、例えば、700nmのSiO<sub>2</sub>膜41を堆積させたのち、レジストパターン(図示せず)をマスクとして、C<sub>4</sub>F<sub>8</sub>+CO+Arからなる混合ガスを用いたRIEによってSiN膜40に達する凹部を形成したのち、レジストパターン及び露出したSiN膜40を除去することによって、直径が1.0 $\mu$ m以下、例えば、0.6 $\mu$ mのビアホール42、43を形成する。

【0085】図9(g)参照

次いで、スパッタリング法によってバリアメタルとなるTiN膜44を、例えば、50nm堆積させたのち、真空を破らず引き続いてスパッタリング法によって、電界メッキ工程におけるシードとなるCuシード膜45を、例えば、200nm堆積させて下地導電膜を形成する。

【0086】図9(h)参照

次いで、図7(c)の工程と同様に、電解メッキ法を用いて、SiO<sub>2</sub>膜41上の厚さが、例えば、1000nm (1 $\mu$ m) となる厚いCuメッキ層46を堆積させる。

【0087】図9(i)参照

次いで、CMP法によって、SiO<sub>2</sub>膜41の表面が露出するまで研磨を行い、ビアホール42、43以外の領域に堆積したCuメッキ層46、Cuシード膜45、及び、TiN膜44を除去して、Cuプラグ47、48を形成する。

【0088】図10(j)参照

次いで、再び、PCVD法を用いてエッチングストッパー層となる厚さが、例えば、50nmのSiN膜49及び配線層分離酸化膜等となるLTO膜からなる厚さが、

例えば、700nmのSiO<sub>2</sub>膜50を堆積する。

【0089】図10(k)参照

次いで、図示を簡略化するが、レジストパターン(図示せず)をマスクとして、C<sub>4</sub>F<sub>8</sub>+CO+Arからなる混合ガスを用いたRIEによってSiN膜49に達する凹部を形成したのち、レジストパターン及び露出したSiN膜49を除去することによって、幅が0.2~10 $\mu$ mの範囲の各種の配線層用溝51、及び、必要に応じて、直径が1.0 $\mu$ m以下、例えば、0.6 $\mu$ mのビアホール52を形成する。なお、Cuプラグ48に対する凹部はビアホール52ではなく、幅が1.0 $\mu$ m以下、例えば、0.6 $\mu$ mの配線層用溝であっても良い。

【0090】次いで、スパッタリング法によってバリアメタルとなるTiN膜53を、例えば、50nm堆積させたのち、真空を破らず引き続いてスパッタリング法によって、電界メッキ工程におけるシードとなるCuシード膜54を、例えば、200nm堆積させて下地導電膜を形成し、次いで、図7(c)の工程と同様に、電解メッキ法を用いて、SiO<sub>2</sub>膜50上の厚さが、例えば、1000nm (1 $\mu$ m) となる厚いCuメッキ層(図示せず)を堆積させる。

【0091】次いで、CMP法によって、SiO<sub>2</sub>膜50の表面が露出するまで研磨を行い、配線層用溝51及びビアホール52以外の領域に堆積したCuメッキ層、Cuシード膜54、及び、TiN膜53を除去して、Cu埋込配線層55及びCuプラグ56を形成する。

【0092】次いで、PCVD法によって、厚さが、例えば、50nmのSiN膜57を堆積させたのち、温度が、300℃以下、例えば、150℃で100Torrの3%のN<sub>2</sub>を混入したH<sub>2</sub>ガスで満たされた熱処理室にシリコン基板11を導入し、昇温速度を20℃/分以下、例えば、6℃/分として、300~500℃、例えば、400℃まで昇温し、5~2000秒、例えば、30分間(1800秒間)保持することによって熱処理を行い、Cu埋込配線層55、Cuプラグ56、及び、下層のCuプラグ47、48のグレインサイズを大きくする。

【0093】なお、この熱処理工程において、Cu埋込配線層39は再度の熱処理を受けるため、第1の実施の形態の効果の説明において説明したように、グレインが再成長し、グレインサイズがより大きくなり、エレクトロマイグレーション耐性が高まる。

【0094】図11(a)及び図11(b)参照

図11は、本発明の第3の実施の形態における粒界の状態を模式的に説明するための図であり、図11(a)は、最終的な配線層の延長方向に垂直な面で切った概略的断面図であり、また、図11(b)は配線層、即ち、Cu埋込配線層55の延長方向に沿った概略的断面図である。

【0095】この場合、グレイン59のサイズが大きく



なり、粒界 58 が Cu 埋込配線層 55 の延長方向に垂直な方向に並んだ三重点のないバンブー構造（竹節構造）を示し、エレクトロマイグレーション耐性が向上することが理解される。

【0096】この第3の実施の形態においては、上層の配線層の形成工程において、1.0  $\mu\text{m}$  以上の幅の配線層と 1.0  $\mu\text{m}$  以下の配線層が混在するため、グレインの成長を優先して絶縁膜、即ち SiN 膜 57 で Cu 埋込配線層 55 及び Cu プラグ 55 を覆う前に、熱処理することが有効である。

【0097】また、この様な熱処理工程において、1.0  $\mu\text{m}$  以上の幅の Cu 埋込配線層におけるグレインサイズは、上述の様に多少大きくなるので、配線層の幅によりグレインサイズが規制される 1.0  $\mu\text{m}$  以下の幅の Cu 埋込配線層におけるグレインサイズより大きくすることができ、例えば、幅或いは直径が 1.0  $\mu\text{m}$  以上の Cu 埋込配線層或いは Cu プラグにおけるグレインサイズは、幅或いは直径が 0.5  $\mu\text{m}$  の Cu 埋込配線層におけるグレインサイズの 1.5 倍以上にすることができる。

【0098】また、下層の配線層を含む全ての配線層の幅、及び、全てのビアホールを 1.0  $\mu\text{m}$  以下にした場合には、全ての熱処理工程を最後に一括して行えば良く、熱処理工程が簡素化される。

【0099】以上、本発明の実施の形態を説明してきたが、本発明は、実施の形態に記載した構成に限られるものではなく、各種の変更が可能である。例えば、バリアメタルは、TaN 膜に代わり TiN 膜、或いは、TiN 膜の代わりに TaN 膜を用いても良く、バリア特性の点では TaN 膜が優れており、さらには、WN 膜或いは TiSiN 膜を用いても良いものである。

【0100】また、上記の各実施の形態の説明においては、TiN 膜等のバリアメタルをスパッタリング法によって堆積させているが、スパッタリング法に限られるものではなく、MOCVD 法（有機金属気相成長法）を用いても良いものである。

【0101】また、上記の各実施の形態の説明においては、Cu シード膜をスパッタリング法によって堆積させているが、スパッタリング法に限られるものではなく、MOCVD 法或いは無電界メッキ法によって堆積させても良いものである。

【0102】また、上述の様に、バリアメタルとシード膜との密着性はボイドの発生に影響するので、バリアメタルとシード膜との密着性を高めるために、バリアメタルとシード膜との間に、20 nm 程度の Al、Ti、Ta、Zr、或いは、W を成膜することが有効である。

【0103】また、上記の各実施の形態の説明においては、Cu シード膜として純粋な Cu を用いているが、純粋な Cu に限られるものではなく、Cu に Mg、Sn、Zr、Ti、Al、或いは、W の少なくとも一種を 5 重

量%以下混入しても良く、これらの元素を混入することによって Cu を動きにくくして結晶粒径の肥大を抑制し、密着性を改善することが可能になる。

【0104】また、上記の各実施の形態の説明においては、Cu 埋込層を電界メッキ法によって堆積させているが、電界メッキ法に限られるものではなく、Cu (h f a c) TMVS を用いた MOCVD 法、スパッタリング法等の PVD 法、或いは、無電界メッキ法によって堆積させても良いものであり、これらの場合には、Cu シード膜は必ずしも必要でなくなる。

【0105】特に、無電界メッキ法によって堆積させる場合には、25℃の硫酸銅と還元剤となるホルコリン酸の中に、或いは、60℃程度の EDTA（エチレンジアミン四酢酸）とホルムアルデヒドを含む硫酸第二銅の中にディッピング（dipping）することによって成膜すれば良い。

【0106】これらの他の堆積法を用いた場合にも、製法に起因して Cu 埋込層中に不純物、例えば、MOCVD 法に伴う有機成分、スパッタリング法に伴う Ar 等の雰囲気ガス、或いは、メッキ浴に伴う水分等が含まれるので、グレインサイズの増大のためには熱処理が有効になる。

【0107】また、上記の各実施の形態の説明においては、層間絶縁膜、或いは、配線層分離膜として、Cu 埋込層に与える影響を考慮して、低温で成膜する LTO 膜を用いているが、LTO 膜に限られるものではなく、FSG（フッ素含有 SiO<sub>2</sub> 膜）、水素を含む無機系の SOG である HSQ、或いは、有機系絶縁膜等の低誘電率膜を用いても良いものであり、この様な低誘電率膜を用いることによって、配線層間の寄生容量を低減することができ、それによって動作速度の遅延を防止することができる。但し、この様な低誘電率膜を用いた場合、特に、HSQ 或いは有機系絶縁膜を用いた場合には、低誘電率膜の耐熱性の観点から、熱処理温度は 450℃以下にすることが望ましい。

【0108】また、上記の第3の実施の形態の様に多層配線構造を形成する場合には、層間絶縁膜の形成工程における加熱温度により、既に形成した Cu 埋込配線層のグレインが必要以上に再成長し、ボイドが発生することがあるので、出来るかぎり低温での成膜が望ましく、Cu 埋込配線層の脱ガスのための熱処理温度以下、例えば、300℃程度で成膜することが望ましい。

【0109】また、熱処理雰囲気としては、100% H<sub>2</sub> 雰囲気、或いは、3%の N<sub>2</sub> を含んだ H<sub>2</sub> 雰囲気で行っているが、他の雰囲気、例えば、N<sub>2</sub> 雰囲気或いは Ar 雰囲気等の不活性ガス雰囲気で行っても良く、いずれの場合にも Cu 埋込層の表面の酸化を防止するために、雰囲気中の酸素濃度は 100 ppm 以下にすることが望ましい。

【0110】

【発明の効果】本発明によれば、Cu埋込配線層及びCuプラグをCMP法によって形成する際に、CMP法によって余分なCu層を除去したのち熱処理を行っているので、Cu埋込配線層及びCuプラグにボイドが発生することがなく、且つ、Cu埋込配線層及びCuプラグのグレインサイズを大きくして三重点を減少させることができるのでエレクトロマイグレーション耐性が向上し、それによって、低抵抗なCuを配線層として用いた高速・高集積度の半導体集積回路装置の信頼性を向上することができる。

#### 【図面の簡単な説明】

【図1】本発明の原理的構成の説明図である。

【図2】本発明の第1の実施の形態の途中までの製造工程の説明図である。

【図3】本発明の第1の実施の形態の図2以降の製造工程の説明図である。

【図4】本発明の第1の実施の形態の変形例の説明図である。

【図5】本発明の第2の実施の形態の途中までの製造工程の説明図である。

【図6】本発明の第2の実施の形態の図5以降の製造工程の説明図である。

【図7】本発明の第3の実施の形態の途中までの製造工程の説明図である。

【図8】本発明の第3の実施の形態の図7以降の途中までの製造工程の説明図である。

【図9】本発明の第3の実施の形態の図8以降の途中までの製造工程の説明図である。

【図10】本発明の第3の実施の形態の図9以降の製造工程の説明図である。

【図11】本発明の第3の実施の形態における粒界の説明図である。

【図12】従来のCMP法の製造工程の説明図である。

【図13】熱処理により脱離するガス成分の説明図である。

【図14】従来のCMP法における問題点の説明図である。

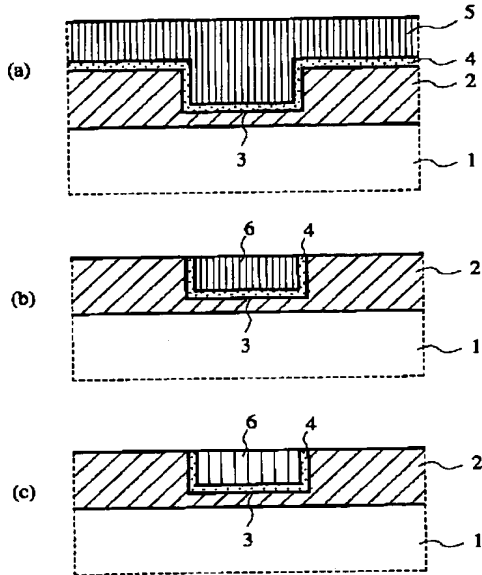
#### 【符号の説明】

- 1 基板
- 2 絶縁膜
- 3 凹部
- 4 下地導電膜
- 5 Cu層
- 6 Cu埋込層
- 11 シリコン基板
- 12 下地酸化膜
- 13 SiN膜
- 14 SiO<sub>2</sub>膜
- 15 配線層用溝
- 16 TaN膜

- 17 Cuシード膜
- 18 Cuメッキ層
- 19 Cu埋込配線層
- 20 底部
- 21 エッジ状凹部
- 22 ビアホール
- 23 TiN膜
- 24 Cuプラグ
- 25 SiN膜
- 10 26 SiO<sub>2</sub>膜
- 31 シリコン基板
- 32 下地酸化膜
- 33 SiN膜
- 34 SiO<sub>2</sub>膜
- 35 配線層用溝
- 36 TiN膜
- 37 Cuシード膜
- 38 Cuメッキ層
- 39 Cu埋込配線層
- 20 40 SiN膜
- 41 SiO<sub>2</sub>膜
- 42 ビアホール
- 43 ビアホール
- 44 TiN膜
- 45 Cuシード膜
- 46 Cuメッキ層
- 47 Cuプラグ
- 48 Cuプラグ
- 49 SiN膜
- 30 50 SiO<sub>2</sub>膜
- 51 配線層用溝
- 52 ビアホール
- 53 TiN膜
- 54 Cuシード膜
- 55 Cu埋込配線層
- 56 Cuプラグ
- 57 SiN膜
- 58 粒界
- 59 グレイン
- 40 71 シリコン基板
- 72 下地酸化膜
- 73 SiN膜
- 74 SiO<sub>2</sub>膜
- 75 配線層用溝
- 76 TaN膜
- 77 Cuシード膜
- 78 Cuメッキ層
- 79 Cu埋込配線層
- 80 ボイド
- 50 81 粒界

【図 1】

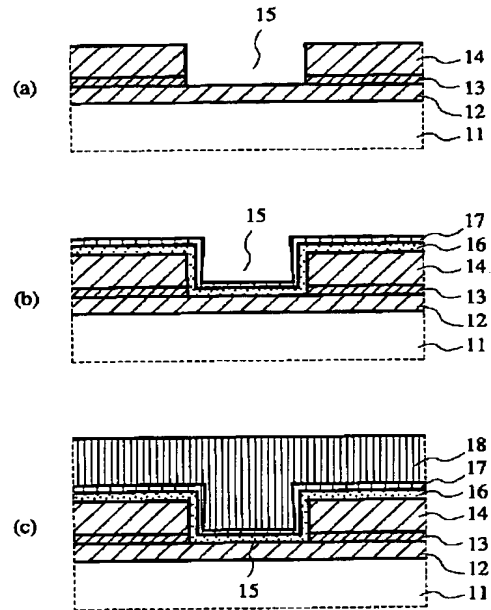
本発明の原理的構成の説明図



- 1:基板  
2:絶縁膜  
3:凹部  
4:下地導電膜  
5:Cu層  
6:Cu埋込層

【図 2】

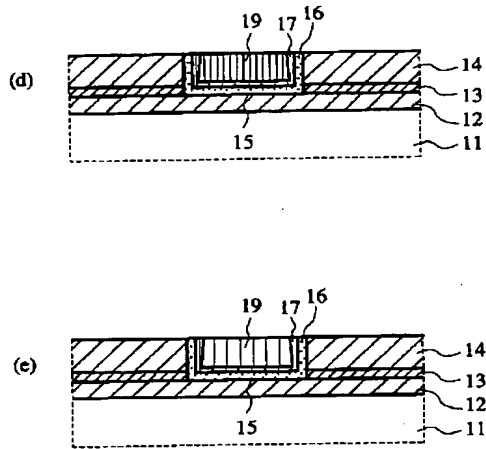
本発明の第1の実施の形態の途中までの製造工程の説明図



- 11:シリコン基板  
12:下地酸化膜  
13:SiN膜  
14:SiO<sub>2</sub>膜  
15:配線層用溝  
16:TaN膜  
17:Cuシード膜  
18:Cuメッキ層

【図 3】

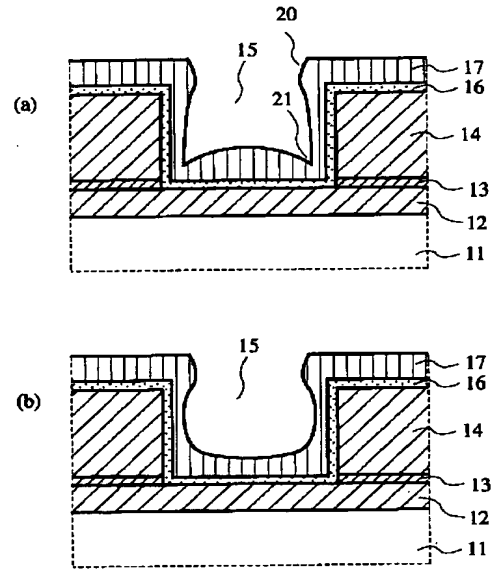
本発明の第1の実施の形態の  
図2以降の製造工程の説明図



|                                     |                                     |
|-------------------------------------|-------------------------------------|
| 11:シリコン基板                           | 15:配線層用溝                            |
| 12:下地酸化膜                            | 16:Ta <sub>2</sub> N <sub>5</sub> 膜 |
| 13:Si <sub>3</sub> N <sub>4</sub> 膜 | 17:Cuシード膜                           |
| 14:SiO <sub>2</sub> 膜               | 19:Cu埋込配線層                          |

【図 4】

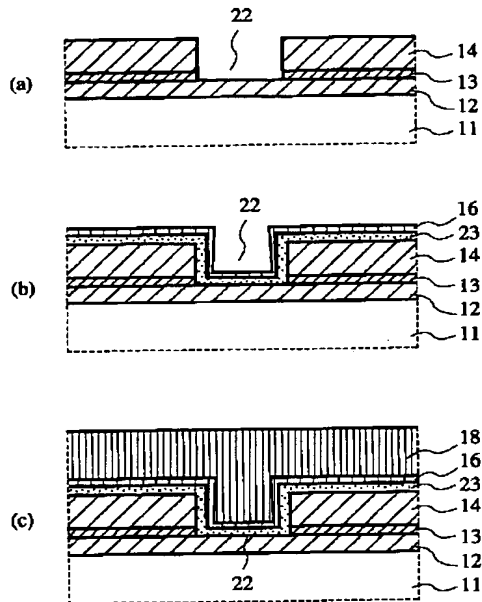
本発明の第1の実施の形態の  
変形例の説明図



|                                     |                                     |
|-------------------------------------|-------------------------------------|
| 11:シリコン基板                           | 15:配線層用溝                            |
| 12:下地酸化膜                            | 16:Ta <sub>2</sub> N <sub>5</sub> 膜 |
| 13:Si <sub>3</sub> N <sub>4</sub> 膜 | 17:Cuシード膜                           |
| 14:SiO <sub>2</sub> 膜               | 20:底部                               |
|                                     | 21:エッジ状凹部                           |

【図 5】

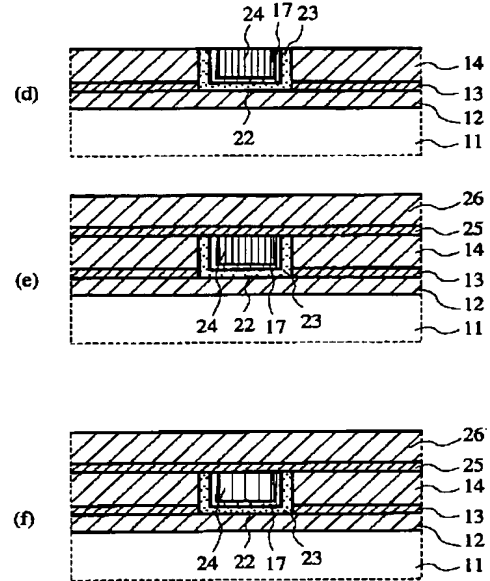
本発明の第2の実施の形態の  
途中までの製造工程の説明図



11:シリコン基板  
12:下地酸化膜  
13:SiN膜  
14:SiO<sub>2</sub>膜  
17:Cuシード膜  
18:Cuメッキ層  
22:ビアホール  
23:TiN膜

【図 6】

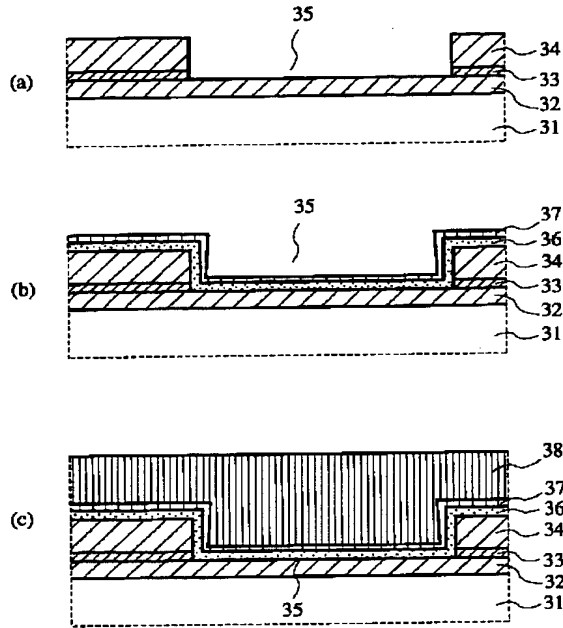
本発明の第2の実施の形態の  
図5以降の製造工程の説明図



11:シリコン基板  
12:下地酸化膜  
13:SiN膜  
14:SiO<sub>2</sub>膜  
17:Cuシード膜  
22:ビアホール  
23:TiN膜  
24:Cuプラグ  
25:SiN膜  
26:SiO<sub>2</sub>膜

【図 7】

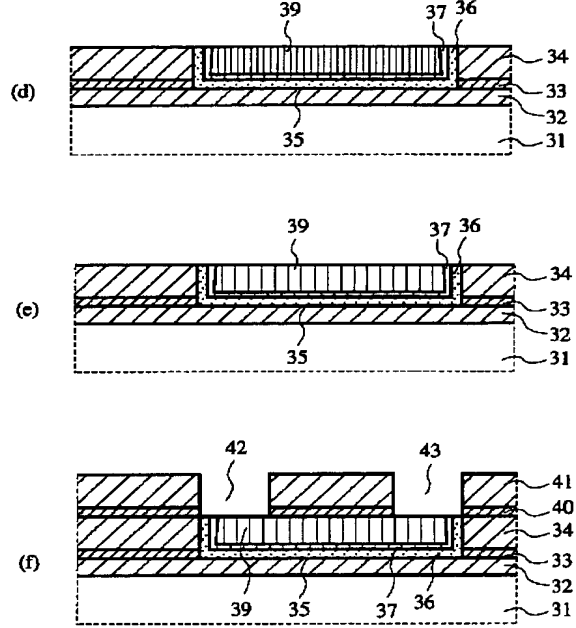
本発明の第3の実施の形態の  
途中までの製造工程の説明図



31:シリコン基板  
32:下地酸化膜  
33:SiN膜  
34:SiO<sub>2</sub>膜  
35:配線層用溝  
36:TiN膜  
37:Cuシード膜  
38:Cuメッキ層

【図 8】

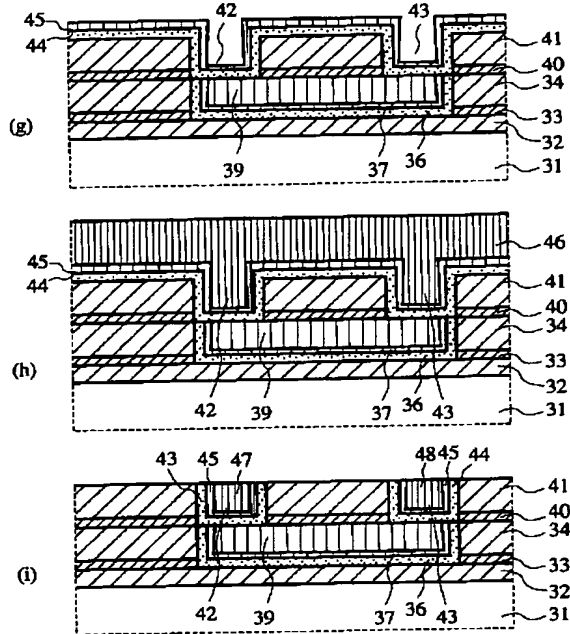
本発明の第3の実施の形態の図7以降の  
途中までの製造工程の説明図



31:シリコン基板  
32:下地酸化膜  
33:SiN膜  
34:SiO<sub>2</sub>膜  
35:配線層用溝  
36:TiN膜  
37:Cuシード膜  
39:Cu埋込配線層  
40:SiN膜  
41:SiO<sub>2</sub>膜  
42:ビアホール  
43:ビアホール

【図9】

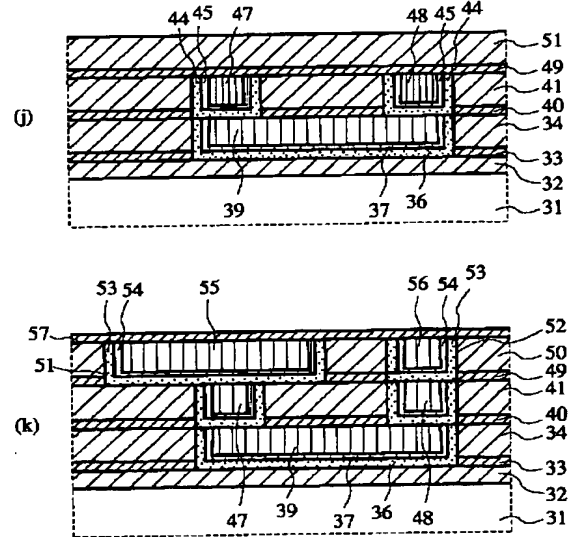
本発明の第3の実施の形態の図8以降の  
途中までの製造工程の説明図



- |           |            |           |
|-----------|------------|-----------|
| 31:シリコン基板 | 37:Cuシード膜  | 43:ビアホール  |
| 32:下地酸化膜  | 39:Cu埋込配線層 | 44:TiN膜   |
| 33:SiN膜   | 40:SiN膜    | 45:Cuシード膜 |
| 34:SiO2膜  | 41:SiO2膜   | 46:Cuメッキ層 |
| 36:TiN膜   | 42:ビアホール   | 47:Cuプラグ  |
|           |            | 48:Cuプラグ  |

【図10】

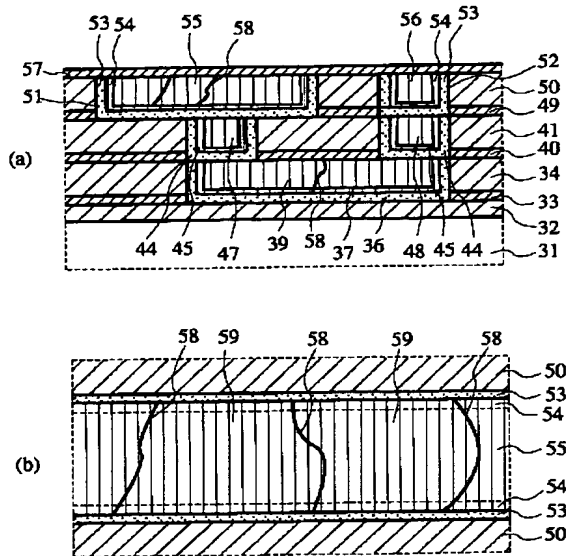
本発明の第3の実施の形態の  
図9以降の製造工程の説明図



- |            |           |            |
|------------|-----------|------------|
| 31:シリコン基板  | 41:SiO2膜  | 52:ビアホール   |
| 32:下地酸化膜   | 44:TiN膜   | 53:TiN膜    |
| 33:SiN膜    | 45:Cuシード膜 | 54:Cuシード膜  |
| 34:SiO2膜   | 47:Cuプラグ  | 55:Cu埋込配線層 |
| 36:TiN膜    | 48:Cuプラグ  | 56:Cuプラグ   |
| 37:Cuシード膜  | 49:SiN膜   | 57:SiN膜    |
| 39:Cu埋込配線層 | 50:SiO2膜  |            |
| 40:SiN膜    | 51:配線層用溝  |            |

【図11】

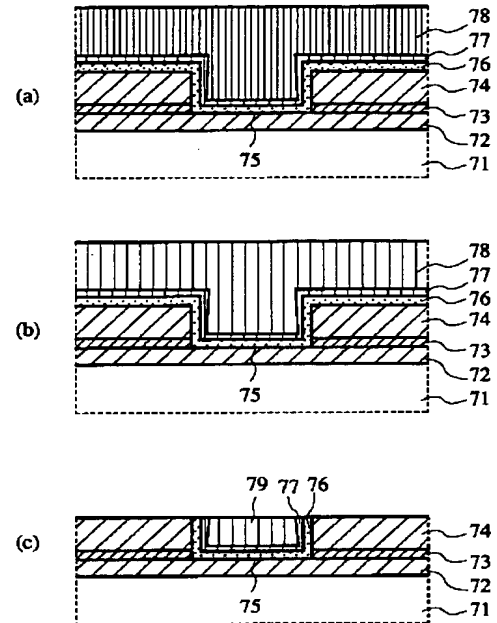
本発明の第3の実施の形態における粒界の説明図



- |                       |                       |            |
|-----------------------|-----------------------|------------|
| 31:シリコン基板             | 41:SiO <sub>2</sub> 膜 | 52:ビアホール   |
| 32:下地酸化膜              | 44:TiN膜               | 53:TiN膜    |
| 33:SiN膜               | 45:Cuシード膜             | 54:Cuシード膜  |
| 34:SiO <sub>2</sub> 膜 | 47:Cuプラグ              | 55:Cu埋込配線層 |
| 36:TiN膜               | 48:Cuプラグ              | 56:Cuプラグ   |
| 37:Cuシード膜             | 49:SiN膜               | 57:SiN膜    |
| 39:Cu埋込配線層            | 50:SiO <sub>2</sub> 膜 | 58:粒界      |
| 40:SiN膜               | 51:配線層用溝              | 59:グレイン    |

【図12】

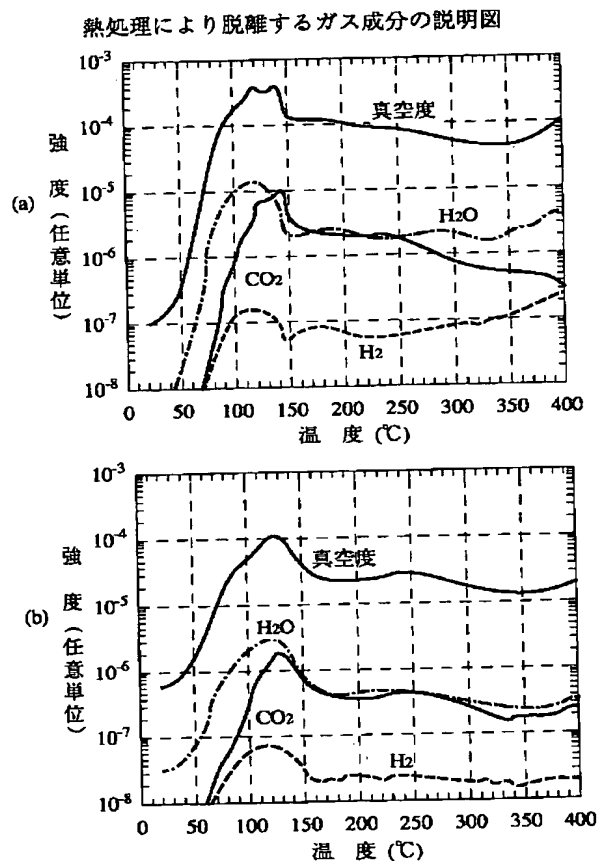
従来のCMP法の製造工程の説明図



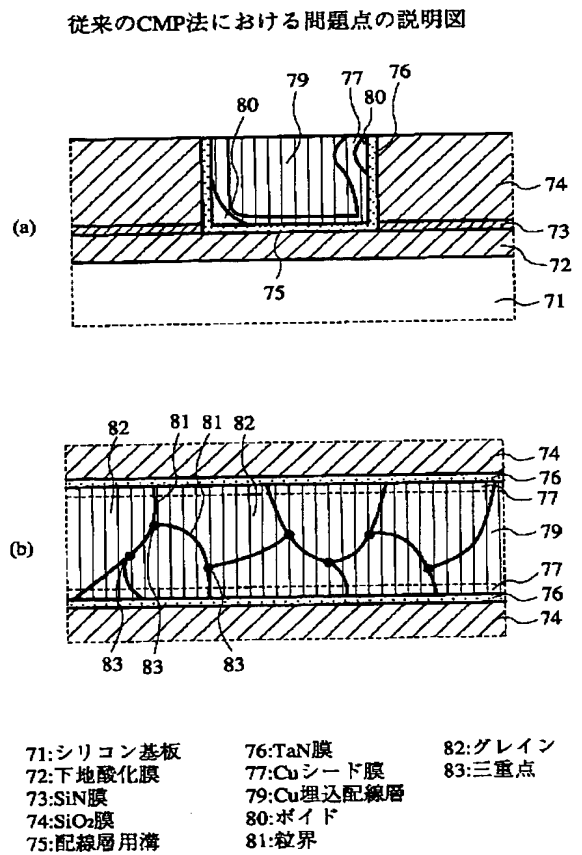
- |                       |                                     |
|-----------------------|-------------------------------------|
| 71:シリコン基板             | 75:配線層用溝                            |
| 72:下地酸化膜              | 76:Ta <sub>2</sub> N <sub>5</sub> 膜 |
| 73:SiN膜               | 77:Cuシード膜                           |
| 74:SiO <sub>2</sub> 膜 | 78:Cuメッキ層                           |
|                       | 79:Cu埋込配線層                          |



【図13】



【図14】



フロントページの続き

(72)発明者 遠藤 浩二  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 三沢 信裕  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 水島 賢子  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 村上 聡  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 アンソニー ホップス  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内